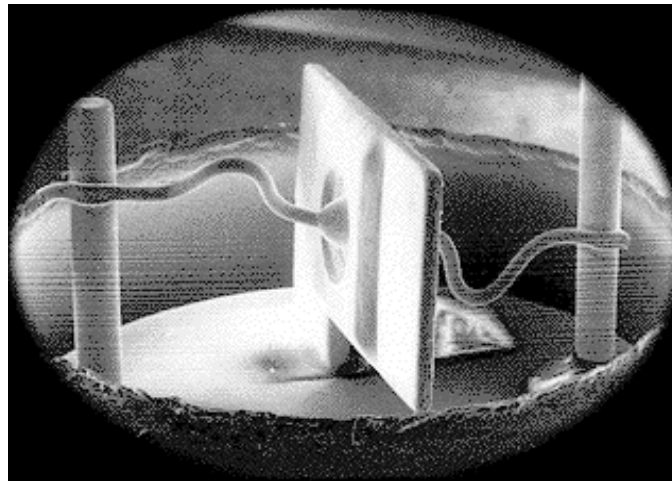


INSTITUT UNIVERSITAIRE DE TECHNOLOGIE "A"
GENIE ELECTRIQUE ET INFORMATIQUE INDUSTRIELLE

THEORIE GENERALE SIMPLIFIEE DES SEMI-CONDUCTEURS
JONCTION PN AU SILICIUM
EFFET TRANSISTOR BIPOLAIRE
CONCEPTION DES CIRCUITS INTEGRES MONOLITHIQUES



Transistor au germanium (en 1950)

THEORIE GENERALE SIMPLIFIEE DES SEMI-CONDUCTEURS	3
1) RAPPELS SUR LA STRUCTURE DE LA MATIERE : NOYAU ET ELECTRONS	3
2) SEMI-CONDUCTEUR INTRINSEQUE	3
2.1) LIAISON COVALENTE	3
2.2) IONISATION THERMIQUE	3
2.3) HAUTEUR DE BANDE INTERDITE	4
2.4) RECOMBINAISON	5
2.5) CONCENTRATION DES PORTEURS DANS LE SILICIUM INTRINSEQUE	5
3) SILICIUM DOPE N	5
4) SILICIUM DOPE P	6
5) CAS GENERAL	6
6) CONDUCTION DES SEMI-CONDUCTEURS	7
7) DENSITE DE COURANT DE DIFFUSION DES SEMI-CONDUCTEURS	8
7.1) DIFFUSION DES ELECTRONS	8
7.2) DIFFUSION DES TROUS	9
JONCTION SEMI-CONDUCTRICE AU SILICIUM	10
1) FORMATION DE LA JONCTION PN	10
2) JONCTION POLARISÉE EN INVERSE	12
3) JONCTION POLARISEE EN DIRECT	13
EFFET TRANSISTOR BIPOLAIRE	15
CONCEPTION DES CIRCUITS INTEGRES MONOLITHIQUES	15
1) ELABORATION D'UN SUBSTRAT DE SILICIUM	17
1.1) PREPARATION DU SILICIUM - OBTENTION DE LA PLAQUETTE "SUBSTRAT"	17
1.2) PHOTOLITHOGRAPHIE DE L'OXYDE DE SILICIUM	18
2) REALISATION DES TRANSISTORS NPN INTEGRES	19
2.1) PREMIER MASQUE : REALISATION DE LA "COUCHE ENTERRE"	20
2.2) CREATION D'UNE COUCHE "EPITAXIALE" DE SILICIUM	20
2.3) 2° MASQUE : MUR D'ISOLEMENT	20
2.4) 3° MASQUE : DIFFUSION DE LA BASE P	20
2.5) 4° MASQUE : DIFFUSION DE L'EMETTEUR N++	21
2.6) 5° ET 6° MASQUES : OUVERTURE DES CONTACTS ET INTERCONNEXIONS	21
2.7) ISOLEMENT ELECTRIQUE INTER- COMPOSANTS	21
3) REALISATION DE DIVERS COMPOSANTS	22
4) VERIFICATION DE LA PLAQUETTE-DECOUPAGE ET ASSEMBLAGE	22
ANNEXES	23

THEORIE GENERALE SIMPLIFIEE DES SEMI-CONDUCTEURS

1) RAPPELS SUR LA STRUCTURE DE LA MATIERE : NOYAU ET ELECTRONS

L'atome est constitué d'un noyau entouré d'électrons. Le noyau contient deux types de particules :

- Les neutrons qui ne sont pas chargés,
- Les protons qui portent une charge électrique $+q = 1.6 \cdot 10^{-19}$ coulombs.

Le noyau est entouré d'électrons qui portent une charge électrique $-q$. L'atome étant électriquement neutre, le nombre de protons est égal au nombre d'électrons qui sont répartis en couches successives. On distingue :

- Les électrons internes qui occupent les couches internes et qui sont très fortement liés au noyau,
- Les électrons périphériques qui occupent la couche la plus externe et qui sont peu liés au noyau.

Tous les atomes tendent à avoir huit électrons sur leur couche externe.

2) SEMI-CONDUCTEUR INTRINSEQUE

Les semi-conducteurs (germanium et surtout silicium dont les propriétés sont indiquées en annexe) possèdent 4 électrons sur leur couche périphérique car ils appartiennent à la 4^o colonne de la classification périodique des éléments indiquée ci-dessous. Il est possible de les produire avec un haut degré de pureté (moins de 1 atome étranger pour 10^{11} atomes de semi-conducteur) : on parle alors de S.C. intrinsèque.

II b	IIIa	IVa	Va	VIa
	Bore B 5	Carbone C 6	Azote N 7	Oxygène O 8
	Aluminium Al 13	Silicium Si 14	Phosphore P 15	Soufre S 16
Zinc Zn 30	Gallium Ga 31	Germanium Ge 32	Arsenic As 33	Sélénium Se 34
Cadmium Cd 48	Indium In 49	Etain Sn 50	Antimoine Sb 51	Tellure Te 52

2.1) LIAISON COVALENTE

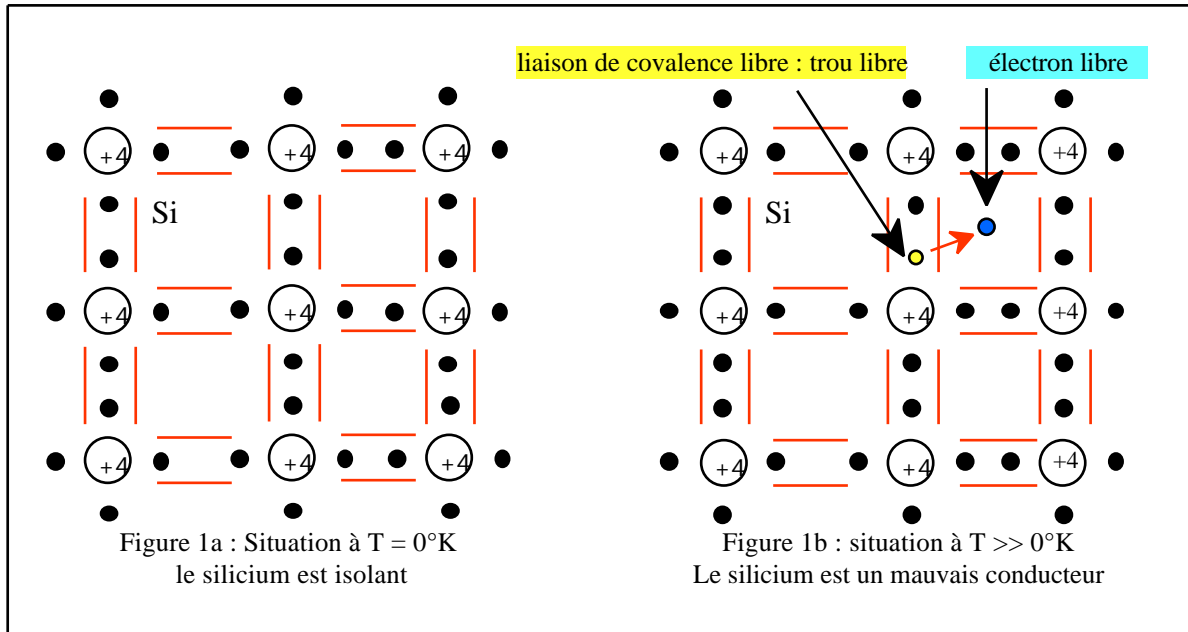
Afin de voir huit électrons sur sa couche externe, chaque atome de silicium met ses 4 électrons périphériques en commun avec les atomes voisins. On obtient ainsi, pour le cristal de silicium la représentation de la figure 1a.

C'est la mise en commun des électrons périphériques, appelée liaison de covalence, qui assure la cohésion du cristal de silicium. Les électrons qui participent à ces liaisons sont fortement liés aux atomes de silicium. Il n'apparaît donc aucune charge mobile susceptible d'assurer la circulation d'un courant électrique. Le S.C. est alors un isolant. Cet état apparaît à la température de 0° Kelvin.

2.2) IONISATION THERMIQUE

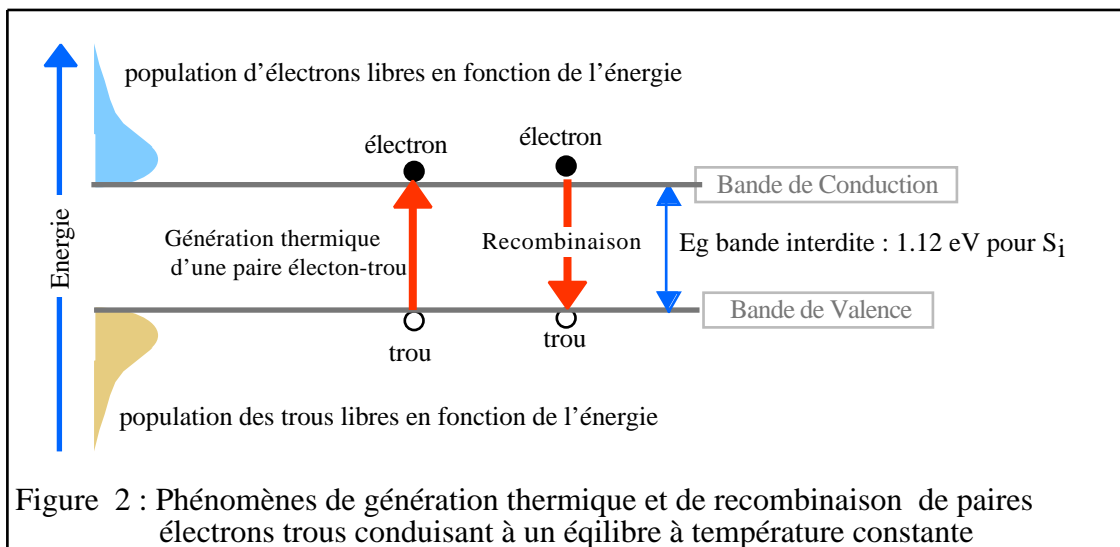
A la température ordinaire, l'agitation thermique provoque la rupture de quelques liaisons de covalences (figure 1b). Un des électrons participant à cette liaison acquiert ainsi de l'énergie nécessaire pour quitter l'atome auquel il était lié. Il devient un porteur de charge libre, capable de se déplacer dans le cristal, et autorisant ainsi la circulation d'un courant électrique sous une différence de potentiel.

Le cristal devient alors un mauvais isolant d'où son appellation de semi-conducteur.



L'atome de silicium qui a perdu un électron n'est plus électriquement neutre : il est devenu un ion positif. Ce phénomène n'intéresse qu'un nombre très faible d'atomes de silicium (3 sur 10^{13} à la température de 300°K). **La liaison de covalence non satisfaite est appelée trou !**

2.3) HAUTEUR DE BANDE INTERDITE



Le paramètre essentiel qui caractérise le S.C. est la quantité d'énergie minimale nécessaire pour briser une liaison de covalence, ce qui revient dans le modèle des "bandes d'énergie" à faire "grimper" un électron de l'un des niveaux de la bande de valence sur l'un des niveaux de la bande de conduction (figure 2).

L'énergie minimale requise pour générer une paire électron-trou correspond à E_G la **hauteur de bande interdite** dont la valeur est indiquée dans le tableau suivant :

Semi-conducteur	E_G (eV) 300°K	E_G (eV) 0°K
C diamant	5,47	5,51
Ge	0,66	0,75
Si	1,12	1,16

2.4) RECOMBINAISON

L'ionisation thermique conduirait, à terme à l'ionisation de tous les atomes de silicium ($5 \cdot 10^{22}$ par cm^3) si elle n'était compensée par un autre phénomène : **les recombinaisons**. Un électron libre, arrivant à proximité d'un ion positif peut être "capté" par ce dernier afin de satisfaire sa liaison de covalence (trou libre). La liaison de covalence est alors rétablie (figure 2).

2.5) CONCENTRATION DES PORTEURS DANS LE SILICIUM INTRINSEQUE

A température fixe, un équilibre s'établit entre les phénomènes d'ionisation thermique et de recombinaison. La concentration intrinsèque n_i en électrons libres et en trous libres par cm^3 dépend de la hauteur de bande interdite E_G et de la température.

Les électrons libres et les ions de silicium apparaissant en quantités égales, la concentration en électrons libres n et en trous p sont donc égales à n_i :

$$n = p = n_i = A T^{\frac{3}{2}} \exp\left(-\frac{E_G}{2KT}\right)$$

A : constante du matériau

E_G : hauteur de bande interdite

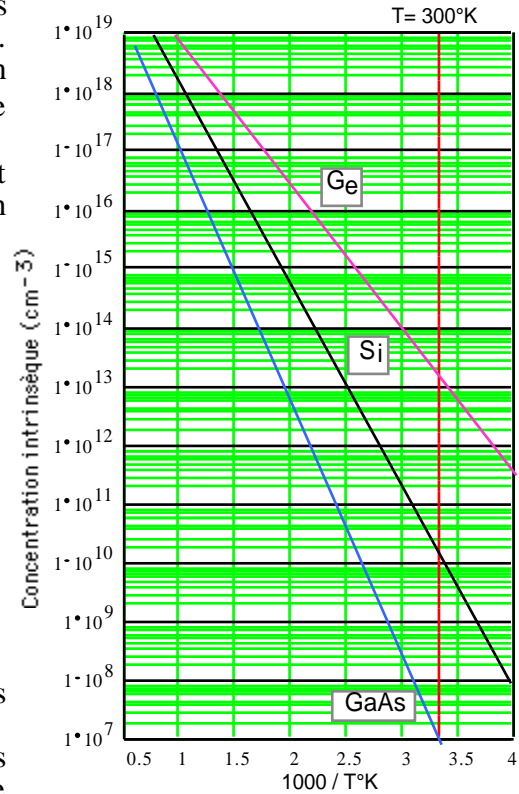
K : constante de Boltzman $8,6 \cdot 10^{-5} \text{ eV K}^{-1}$

Concentration intrinsèque du silicium à $T= 300^\circ\text{K}$:

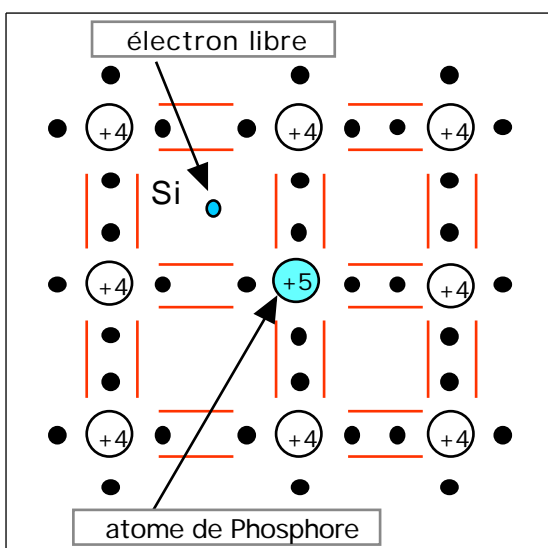
$$n_i = 1,45 \cdot 10^{10} \text{ cm}^{-3}$$

Le silicium intrinsèque a des d'applications pratiques limitées : photorésistance, thermistance...

Cependant, il est possible en introduisant certaines impuretés en quantité contrôlée, de privilégier un type de conduction : par électrons libres ou trous libres.



3) SILICIUM DOPE N



On obtient un S.C. de type N en injectant dans le cristal de silicium des atomes qui possèdent 5 électrons sur leur couche périphérique (phosphore et arsenic de la 5^o colonne de la classification).

Quatre de ces cinq électrons sont mis en commun avec les atomes de silicium voisins pour réaliser des liaisons de covalences. Le 5^o électron, inutilisé, est très faiblement lié à l'atome pentavalent. Une très faible énergie suffit pour le libérer et il se retrouve "libre" dans la bande de conduction.

L'atome de phosphore qui a fourni un électron libre est appelé atome donneur. Il a perdu sa neutralité pour devenir un ion positif fixe.

A la température ordinaire, la quasi-totalité des atomes donneurs sont ionisés.

Si N_D est la concentration des atomes donneurs, ceux-ci vont libérer $n = N_D$ électrons libres.

Les concentrations en électrons libres (n) et en trous libres (p) sont liées par la **loi d'action de masse** :

$$n.p = n_i^2$$

Si $N_D = n = 10^{18} \text{ cm}^{-3}$ alors : $p = 225 \text{ cm}^{-3}$ à $T = 300 \text{ °K}$

Les électrons sont les porteurs majoritaires et les trous les porteurs minoritaires.

4) SILICIUM DOPE P

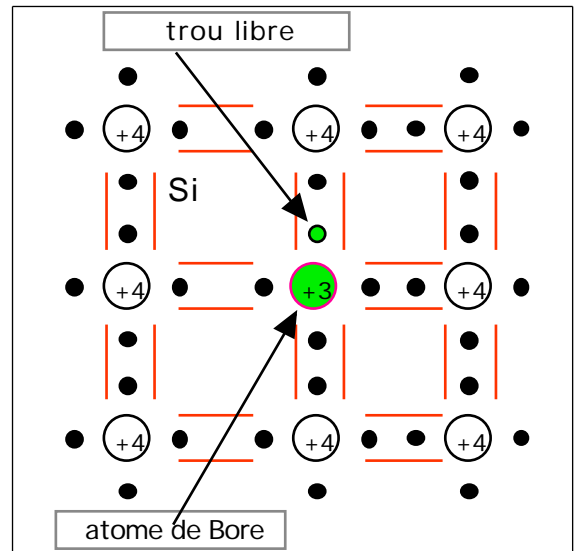
On obtient un S.C. dopé P en injectant dans le silicium des atomes de la 3^e colonne (bore, indium) qui possèdent trois électrons périphériques.

Il manque ainsi un électron à l'atome trivalent pour réaliser les liaisons covalentes avec les quatre atomes de silicium qui l'entourent. En fait, les électrons participant aux liaisons sont indiscernables les uns des autres. Tout ce passe alors comme si un des atomes de silicium voisin avait cédé un électron à l'atome trivalent de bore, créant ainsi un trou dans le cristal de silicium.

L'atome de bore qui capte un électron est appelé atome accepteur, il a perdu sa neutralité pour devenir un ion négatif fixe.

A la température ordinaire, la quasi-totalité des atomes accepteurs sont ionisés. Si N_A est la concentration par cm^3 des atomes accepteurs, ceux-ci vont libérer :
 $p = N_A$ trous libres.

Les concentrations en électrons libres (n) et en trous libres (p) sont liées par la loi d'action de masse :



$$n.p = n_i^2$$

Si $N_A = p = 10^{16} \text{ cm}^{-3}$ et $n = 2.10^4 \text{ cm}^{-3}$ à $T = 300\text{K}$.

Les trous sont les porteurs majoritaires et les électrons les porteurs minoritaires.

5) CAS GENERAL

Si le silicium a subi plusieurs dopages successifs par injection d'atomes accepteurs de bore et d'atomes donneurs de phosphore, la population en électrons libres (n) et en trous libres (p) est encore donnée par la loi d'action de masse :

$$n.p = n_i^2$$

Cependant on doit aussi tenir compte de la neutralité électrique du cristal à savoir : charges + (trous libres et ions +) = charges - (électrons libres et ions -), qui conduit à une deuxième relation :

$$p + N_D = n + N_A$$

6) CONDUCTION DES SEMI-CONDUCTEURS

6.1) MOBILITE DES PORTEURS DE CHARGE : ELECTRONS ET TROUS

Considérons un semi-conducteur isolé. Les porteurs de charges mobiles s'y déplacent en tous sens et comme aucune direction n'est privilégiée, on n'observe aucune circulation de charges à l'échelle macroscopique.

Appliquons au S.C. une différence de potentiel V . Compte-tenu de la relation champ-potiel : $\vec{E} = -\text{grad} V$, il apparaît dans le S.C. un champ électrique \vec{E} qui favorise le déplacement des trous dans le sens du champ électrique et le déplacement des électrons mobiles dans le sens opposé.

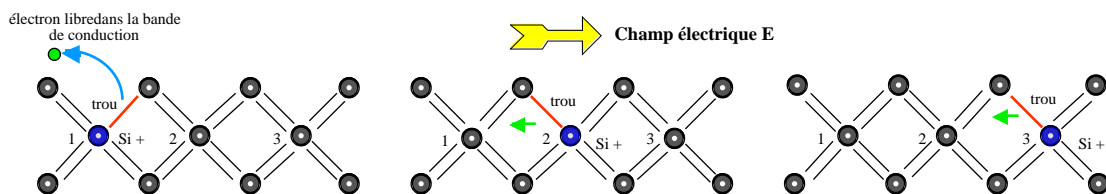
A l'échelle macroscopique, les trous et les électrons prennent des vitesses d'ensemble :

$\vec{v}_p = \mu_p \vec{E}$	$\vec{v}_n = -\mu_n \vec{E}$	<ul style="list-style-type: none"> • μ_p est la mobilité des trous • μ_n est la mobilité des électrons
-----------------------------	------------------------------	--

Mobilité à $T = 300^\circ\text{K}$	électrons ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)	trous ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)
Ge	3900	1900
Si	1500	475
GaAs	8500	400

Ces mobilités dépendent de la température, du champ électrique et du dopage (voir annexe).

- La mobilité diminue lorsque la température augmente, en effet, l'agitation thermique accroît le nombre de "chocs" qui s'oppose au déplacement.
- A température ordinaire, μ_p , la mobilité des trous est inférieure à μ_n la mobilité des électrons. Cela se conçoit dans la mesure où μ_n provient du déplacement direct des électrons de la bande de conduction alors que μ_p résulte des actions successives illustrées par la figure suivante.



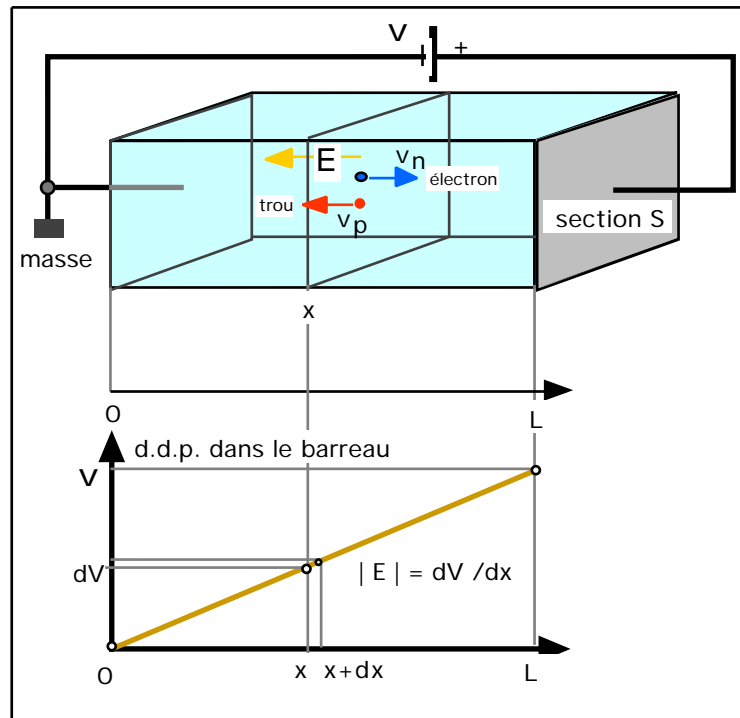
Situation 1 : ionisation thermique, c'est à dire, création d'une paire électron-trou au niveau de l'atome de silicium 1 qui devient un ion positif

Situation 2 : sous l'action du champ électrique, l'électron de valence de l'atome 2 est venu combler le trou de l'atome 1

Situation 3 : sous l'action du champ électrique, l'électron de valence de l'atome 3 est venu combler le trou de l'atome 2

Le mouvement des trous correspond à un mouvement d'électrons dans la bande de valence.

6.2) DENSITE DE COURANT DE CONDUCTION



Considérons un barreau de silicium homogène de section S et de longueur L à température constante où les porteurs libres sont constitués de p trous et n électrons par cm^3 . La différence de potentiel V appliquée au barreau crée un champ électrique de norme constante qui provoque le déplacement des porteurs. Durant un temps dt , un observateur placé en x voit passer :

- N électrons animés de la vitesse : $v_n = \mu_n E$
- P trous animés de la vitesse : $v_p = \mu_p E$

Durant le temps dt , ces porteurs vont parcourir une distance dx_n et dx_p .

La densité de courant totale J_{tot} est alors proportionnelle au champ électrique et à la conductivité (cm^{-1}) du cristal :

$$J_{\text{tot}} = q \frac{N}{S dt} + q \frac{P}{S dt} \quad \text{avec} \quad dt = \frac{dx_n}{\mu_n E} = \frac{dx_p}{\mu_p E}$$

$$J_{\text{tot}} = q (n \mu_n + p \mu_p) E = \sigma E$$

7) DENSITE DE COURANT DE DIFFUSION DES SEMI-CONDUCTEURS

Dans les semi-conducteurs non homogènes, les porteurs peuvent aussi se déplacer par diffusion.

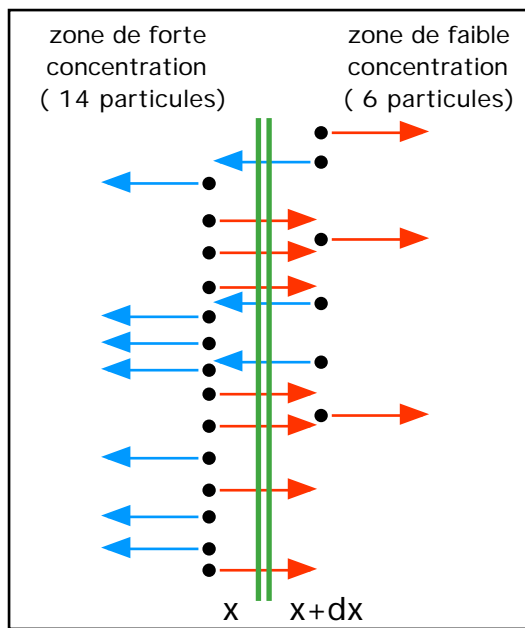


Figure 3a

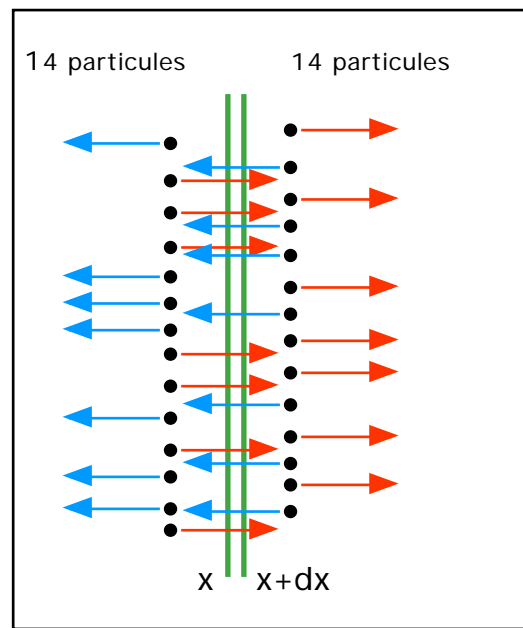


Figure 3b

Pour expliquer le processus de diffusion, imaginons (figure 3a) un milieu présentant 14 particules en x et 6 particules en $x+dx$.

Le nombre total de particules qui se déplacent vers la gauche est aussi grand que celui qui se déplace vers la droite. Comme il y a plus de particules sur la gauche que sur la droite, il se produit un flux net de la gauche vers la droite.

La surface d'épaisseur dx voit donc passer 7 particules de la gauche vers la droite et 3 de droite à gauche. On assiste donc au passage de 4 particules de x vers $x+dx$, proportionnelle à la différence de concentration c est à dire du coefficient directeur $d(\text{concentration}) / dx$.

Si la concentration de gauche et de droite sont égales (figure 3b), cela ne veut pas dire qu'il n'y aura plus de particules en mouvement. Il y a en revanche autant de particules qui se déplacent vers la droite que vers la gauche, l'écoulement net a donc disparu : il y a équilibre dynamique.

7.1) DIFFUSION DES ELECTRONS

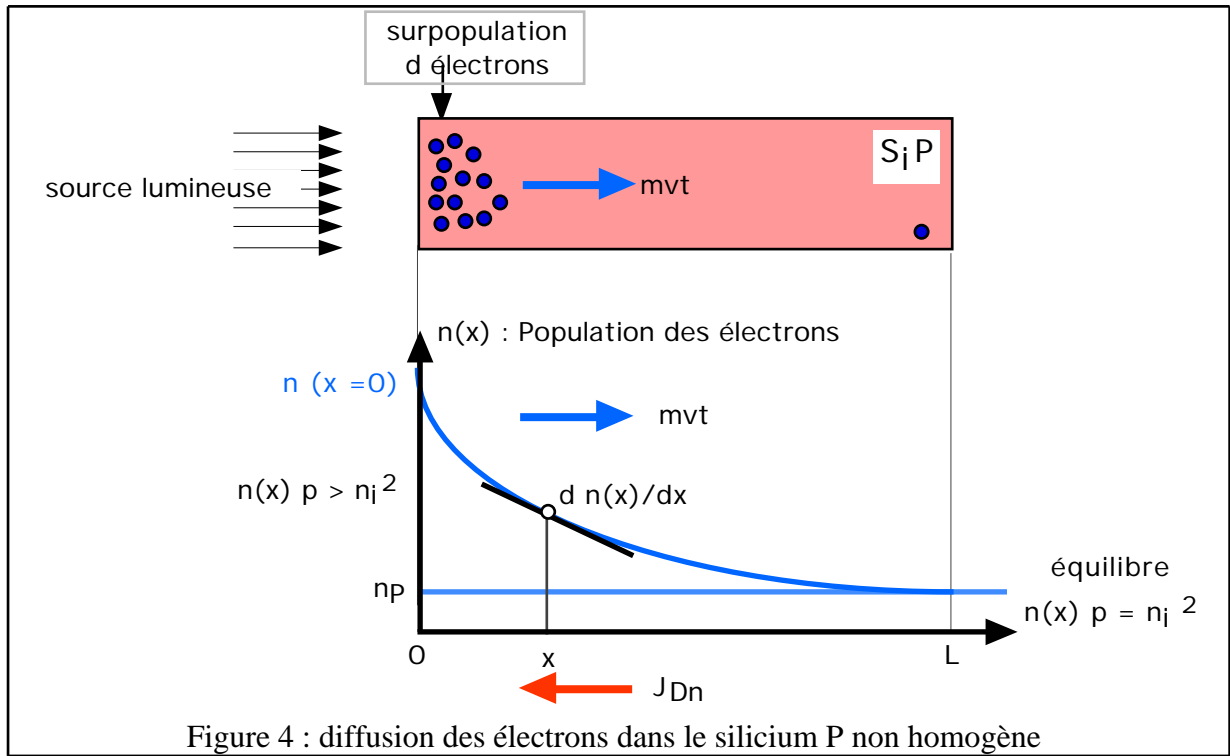
Considérons un barreau de S.C. de type P soumis à une source lumineuse intense sur une de ses faces (figure 4). Cette source lumineuse va produire, par apport d'énergie, une génération locale de paires électrons-trous. En effet, au niveau de la surface éclairée, on crée une surpopulation d'électrons $n(x=0)$ par rapport à l'équilibre où $n(L) = n_i^2 / p$. Les électrons en surplus, vont diffuser de la gauche vers la droite du barreau comme les molécules d'un gaz qui, injectées dans un récipient, tendent à occuper tout le volume (autres analogies : diffusion d'un parfum dans une pièce, diffusion du thé dans de l'eau...). Ces électrons supplémentaires sont recombinés par la forte population des trous du Si P et leur population diminue en fonction de x selon :

$$n(x) = n(0) \exp\left(-\frac{x}{L_n}\right) \quad \text{avec } L_n: \text{longueur de diffusion des électrons}$$

On définit en x une densité de courant de diffusion des électrons : J_{Dn} proportionnelle au gradient de concentration ($D_n \text{ cm}^2 \text{ s}^{-1}$ est la constante de diffusion des électrons dans le silicium) :

$$J_{Dn} = q D_n \frac{dn(x)}{dx} \quad \text{où } D_n = \mu_n \frac{KT}{q}$$

Remarque : $\frac{dn(x)}{dx}$ est négatif donc J_{Dn} est bien dirigé dans le sens des x négatif sur la figure 4.

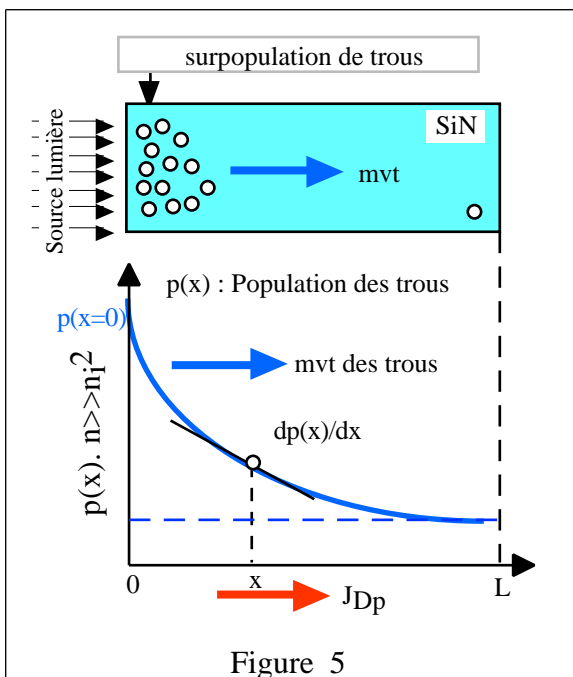


7.2) DIFFUSION DES TROUS

Considérons un barreau de S.C. de type N soumis à une source lumineuse intense sur une de ses faces (fig. 5). Comme précédemment on obtient un phénomène de diffusion des trous excédentaires avec :

$$p(x) = p(0) \exp\left(-\frac{x}{L_p}\right) \text{ avec } L_p: \text{longueur de diffusion des trous}$$

conduisant à définir une densité de courant de diffusion des trous : J_{Dp} proportionnelle au gradient de concentration (D_p en $\text{cm}^2 \text{s}^{-1}$ est la constante de diffusion des trous dans le silicium) :



$$J_{Dp} = -q D_p \frac{dp(x)}{dx} \text{ où } D_p = \mu_p \frac{KT}{q}$$

Remarque :

$\frac{dp(x)}{dx}$ est négatif, sachant que J_{Dn} est dirigé dans le sens des x positif il faut affecter l'expression de J_{Dn} du signe - !

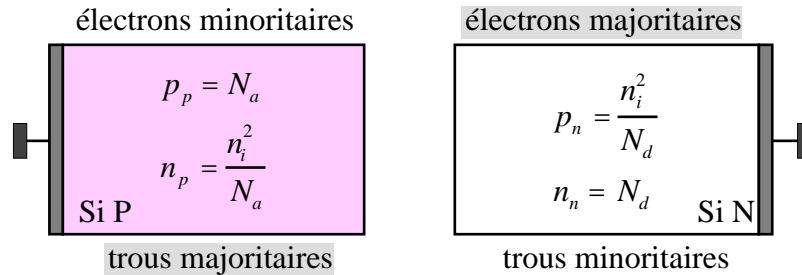
JONCTION SEMI-CONDUCTRICE AU SILICIUM

1) FORMATION DE LA JONCTION PN

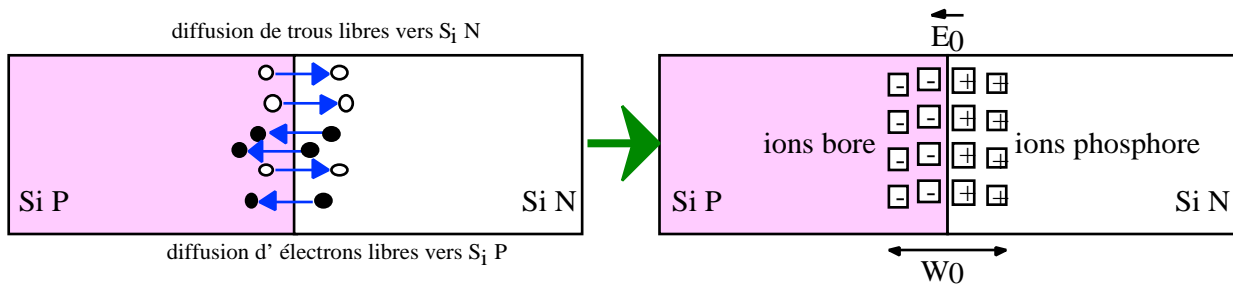
Considérons deux barreaux de silicium

- l'un dopé P au bore
- l'autre dopé N au phosphore

Le bilan des porteurs libres à une température donnée est indiqué ci-dessous :



Imaginons que l'on rapproche les deux barreaux de manière à réaliser leur contact physique au niveau d'une jonction dite "métallurgique". On assisterait alors à deux phénomènes se manifestant de part et d'autre de l'interface PN :



- Transitoire de durée très brève (figure 1a) à savoir diffusion des trous de la région P vers la région N. En effet comme les trous sont plus nombreux dans P que dans N, ils vont avoir tendance à diffuser pour rétablir l'équilibre (idem pour les électrons qui vont diffuser de N vers P).
- Permanent (figure 1b), les trous qui ont envahi la région N (où ils ont disparu par recombinaison avec les électrons majoritaires dans cette région) ont laissés derrière eux des ions fixes de bore ionisés négativement. De même, les électrons de la région N qui sont passés du côté P ont laissé derrière eux des ions fixes de phosphore ionisés positivement.

Ces ions fixes de Bore et de phosphore chargés respectivement - et +, forment de part et d'autre de la jonction métallurgique, une **barrière de potentiel** V_ϕ qui provoque l'apparition d'un **champ électrique interne** E_0 dans une **zone de charge d'espace (Z.C.E.)** d'épaisseur W_0 .

On montre que la hauteur de barrière de potentiel V et la largeur W_0 de la Z.C.E. qui s'étend principalement du côté le moins dopé sont telles que (voir annexe en fin de document) :

$$V = U_T \ln \left(\frac{N_a N_d}{n_i^2} \right) \text{ où } U_T = \frac{KT}{q} \text{ à } 25^\circ\text{C } \text{ et } W_0 = \sqrt{\frac{2 \epsilon_0 \epsilon_{si}}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) V} \quad (1)$$

Pour : $N_a = 10^{18} \text{ cm}^{-3}$, $N_d = 10^{15} \text{ cm}^{-3}$, $W_0 = 0.96 \mu\text{m}$, $V = 0.75 \text{ V}$ et $E_{0\text{max}} = 1.56 \cdot 10^4 \text{ V} \cdot \text{cm}^{-1}$
avec : $\epsilon_0 = 8,85 \cdot 10^{-14} \text{ F/cm}$, $\epsilon_{si} = 12$

L'anode et la cathode étant à la masse, la jonction est en court-circuit et son courant doit être nul.

En effet la jonction est traversée par deux courants opposés qui s'annulent :

- Le courant de saturation I_S qui correspond aux porteurs minoritaires des zones N (les trous) et P (les électrons) qui se présentent à la limite de la Z.C.E. et qui sont alors entraînés par le champ électrique E_0 respectivement dans les zones P et N. A ce courant s'ajoute un courant plus faible qui correspond à la génération thermique de paires électrons-trous du silicium de la Z.C.E. Ces porteurs sont aussi entraînés par le champ électrique E_0 respectivement dans les régions neutres N et P.
- Le courant ayant pour origine les porteurs libres majoritaires de N et de P, très voisins de la Z.C.E., et dont l'énergie suffisante pour sauter la hauteur de barrière V .

La population de ces porteurs, proportionnelle à $\exp\left(-\frac{V}{U_T}\right)$ conduit à un courant de la forme :

$$I_0 \exp\left(\frac{V}{U_T}\right) . \text{ Le courant total étant nul, il vient : } I_s = I_0 \exp\left(-\frac{V}{U_T}\right) \quad (2)$$

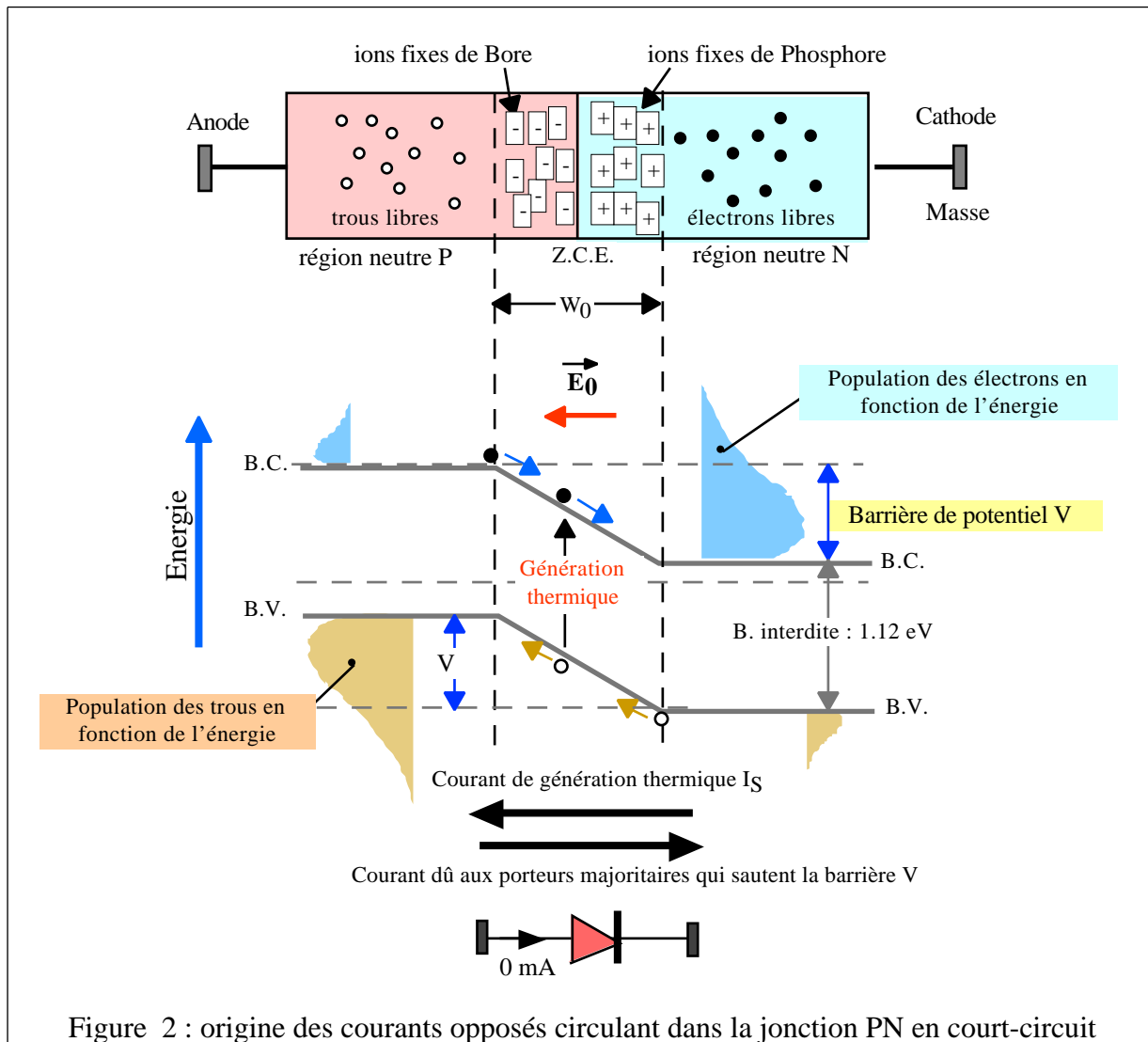


Figure 2 : origine des courants opposés circulant dans la jonction PN en court-circuit

2) JONCTION POLARISEE EN INVERSE

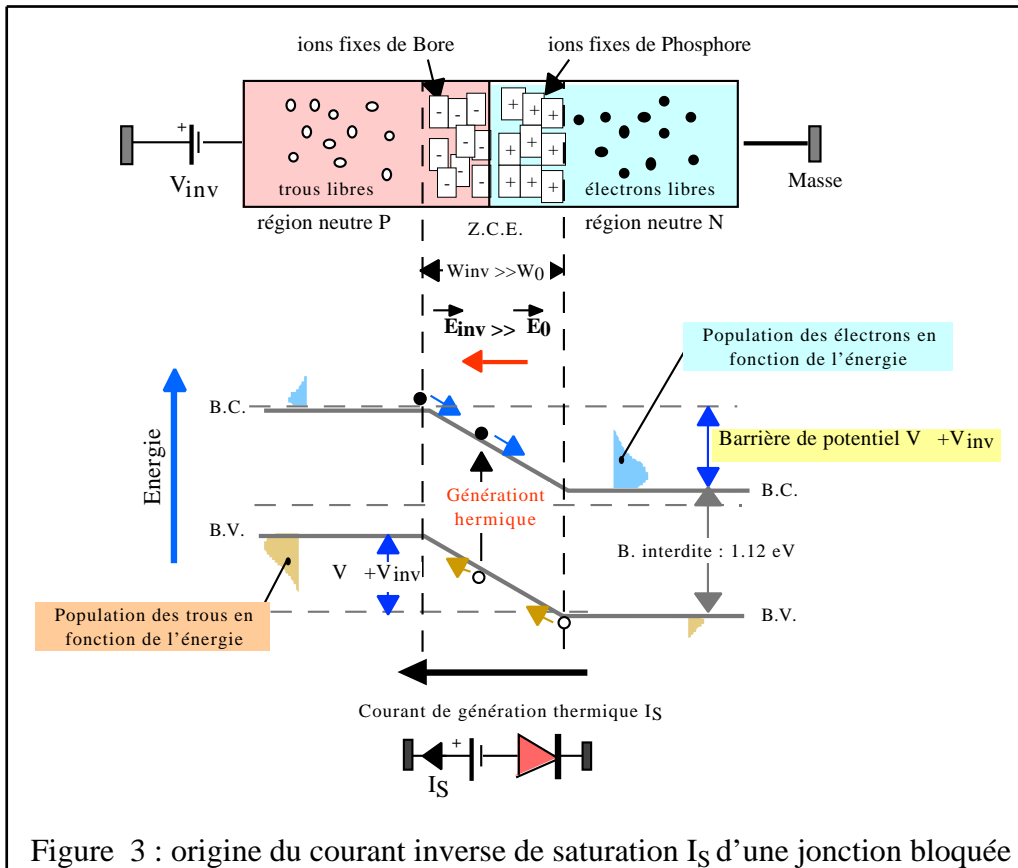
Le potentiel du semi-conducteur de type N étant à la masse, on relève à l'aide du générateur de tension V_{inv} , le potentiel du semi-conducteur de type P (figure 3).

2.1) TENSION V_{inv} FAIBLE : COURANT INVERSE DE SATURATION

La hauteur de barrière entre les régions P et N est renforcée par la tension extérieure appliquée et devient $V + V_{inv}$. Le champ électrique dans la Z.C.E. augmente ainsi que son étendue (dans l'équation (1) V devient $V + V_{inv}$).

Les porteurs majoritaires des régions N et P n'ont pas l'énergie nécessaire pour sauter cette barrière de potentiel.

La jonction est alors traversée par le très faible courant de saturation I_S . Ce courant issu du phénomène d'ionisation thermique du silicium, dépend uniquement de la température.



2.2) CAPACITE DE TRANSITION

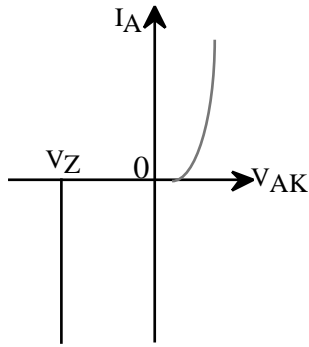
La jonction PN est constituée de deux charges opposées immobiles (ions N_a^- côté P, ions N_d^+ du côté N). Elle se comporte donc comme un condensateur dont la Z.C.E. est le diélectrique et les régions N et P les électrodes. La capacité correspondante est nommée capacité de transition :

$C_T = \epsilon_0 \epsilon_{Si} \frac{S}{W}$ avec S aire de la jonction et W épaisseur de la Z.C.E qui dépend de la hauteur de barrière. Aussi on peut écrire :

$$C_T = \frac{C_{T0}}{\sqrt[n]{1 - \frac{V_{in}}{V}}} \quad \text{où } C_{T0} \text{ correspond à } V_{inv} = 0V \text{ et } 2 < n < 3$$

Cette capacité qui dépend de la température a des valeurs typiques comprises entre 1 et 200 pF.

2.3) AVALANCHE DE LA JONCTION : EFFET ZENER



L'avalanche par multiplication, et le claquage par effet Zener sont les deux processus qui produisent la région de claquage de la caractéristique de polarisation inverse. Pour une tension V_Z suffisante, on assiste en effet à une augmentation brutale du courant de la jonction.

Un porteur (figure 3) de la Z.C.E. d'origine thermique, appartenant donc à I_s , descend la barrière de jonction et acquiert de l'énergie cinétique du potentiel appliqué. Ce porteur qui entre en collision avec un ion silicium, peut rompre une liaison de covalence.

Outre le porteur initial, il existe maintenant une nouvelle paire électron-trou. Ces porteurs peuvent tirer assez d'énergie du champ appliqué, entrer en collision avec un autre ion et créer d'autres paires électron-trou. Cet effet cumulatif est appelé avalanche par multiplication. Il

donne un grand courant inverse et on dit que la jonction est dans la région de claquage par avalanche.

Un autre phénomène lié à un champ électrique intense conduit à la même situation : effet Zener. Ici le champ électrique élevé exerce une force suffisante pour extraire des électrons de leurs liaisons de covalence créant alors des paires électron-trou qui augmentent aussi le courant inverse.

3) JONCTION POLARISEE EN DIRECT

3.1) COURANT DIRECT DE LA JONCTION

Le fait de polariser la jonction sous une tension V_{direct} réduit la hauteur de barrière qui devient : $V - V_{\text{direct}}$ entraînant une diminution de l'épaisseur de la Z.C.E (dans l'équation (1) V est remplacé par : $V - V_{\text{direct}}$).

De nombreux électrons de la région N et de trous de la région P peuvent alors franchir cette barrière de potentiel et, se présentant alors dans un "milieu hostile" (P pour électrons et N pour les trous), ils sont recombinés (figure 4).

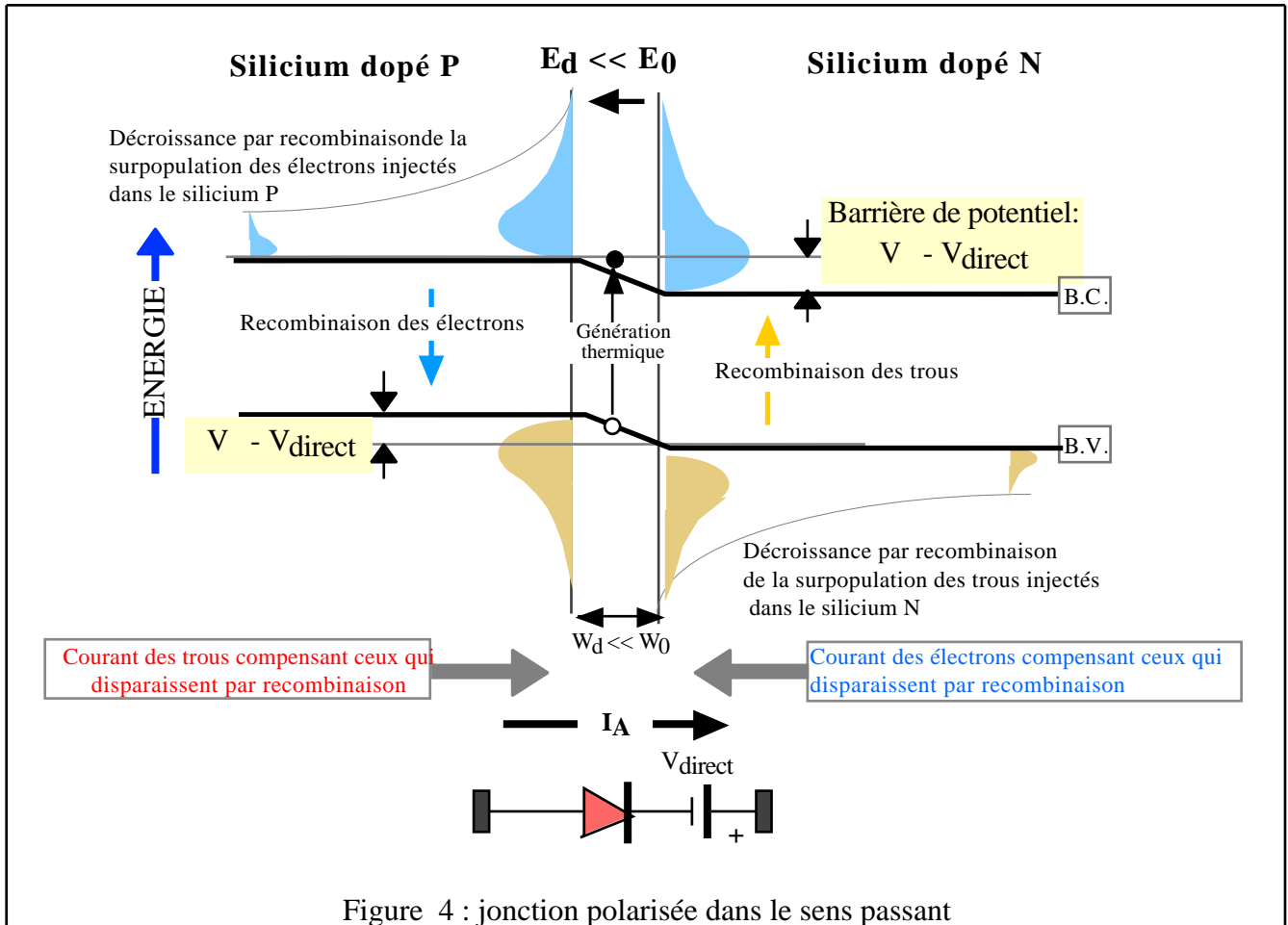
Cette recombinaison consomme près de la Z.C.E. des trous dans la région P (des électrons dans la région N). Pour rétablir l'équilibre, les trous de la région neutre P se mettent en mouvement vers la zone où se produit la recombinaison (déficit en trous). Les électrons de la région neutre N sont soumis à un phénomène analogue.

C'est ce phénomène de recombinaison locale qui explique la circulation du courant direct I_A dans la jonction.

Ce courant s'écrit : $I_0 \exp\left(-\frac{V - V_{\text{direct}}}{U_T}\right)$ soit : $I_s \exp\left(\frac{V_{\text{direct}}}{U_T}\right)$ avec la relation (2).

Sachant que le courant I_s correspondant à la génération thermique de paires électrons-trous dans la Z.C.E. est encore présent, on obtient le courant total qui circule dans la jonction :

$$I_A = I_s \left[\exp\left(\frac{V_{\text{direct}}}{U_T}\right) - 1 \right]$$



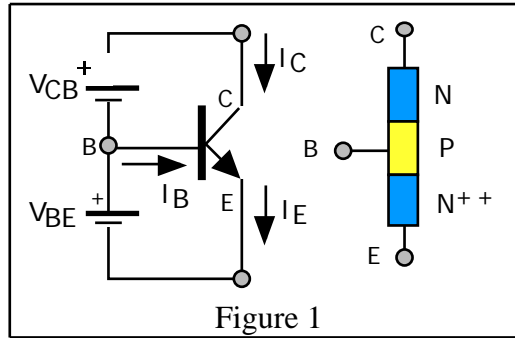
3.2) CAPACITE DE DIFFUSION

Le phénomène de recombinaison locale de part et d'autre de la Z.C.E. (figure 4) n'est pas instantané. En effet les électrons passés dans l'anode recombinent avec les trous présents après un certain temps moyen τ_p : durée de vie des trous (ordre de la nanoseconde). De même du côté de la cathode, on définit τ_n durée de vie des électrons.

Il y a donc toujours, de part et d'autre de la Z.C.E., une charge positive dans la cathode et une charge négative dans l'anode, composée de porteurs non recombinés. Ceci est équivalent à la présence d'une capacité dite capacité de diffusion C_D proportionnelle au courant direct I_A de la jonction.

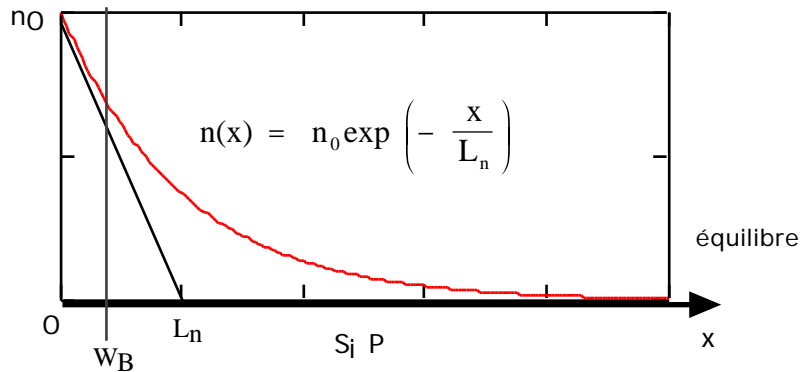
EFFET TRANSISTOR BIPOLAIRE

Considérons un transistor NPN (figure 1) :



La tension V_{BE} positive, polarise la jonction base-émetteur du transistor en direct, alors que la tension V_{CB} polarise la jonction collecteur-base en inverse !

La jonction base-émetteur fonctionnant en mode direct est donc le siège des phénomènes jonction passante vus précédemment. En effet, des électrons sont injectés de la région d'émetteur N^{++} très dopée dans la base P où ils subissent le phénomène habituel de recombinaison avec les trous qui sont ici porteurs majoritaires. La surpopulation des électrons injectés dans le silicium P disparaît selon la loi :



- n_0 : surpopulation des électrons se présentant dans la base
- $n(x)$: population des électrons dans la base
- L_n : longueur de diffusion des électrons dans la base P
- W_B : épaisseur de la base du transistor

Cependant, le transistor (figure 2) est caractérisé par une épaisseur de base W_B de 0.5 à 2 μm très inférieure à la longueur de diffusion des électrons L_n soit 10 à 20 μm .

Dans ces conditions, tous les électrons injectés dans la base ne subissent pas le phénomène de recombinaison avec les trous, aussi, les électrons "chanceux" qui ont pu traverser la base sans se faire recombiner, parviennent à la frontière de la Z.C.E. de la jonction bloquée base-collecteur.

Ils sont alors pris en charge par le champ électrique E qui y règne et se retrouvent dans le collecteur N où ils sont majoritaires et ne risquent plus la recombinaison.

Ainsi un courant peut traverser la jonction bloquée base-collecteur : c'est l'effet transistor !

Les électrons qui ont été recombinés dans la base créent le courant faible de base ce qui assure un courant de collecteur I_C voisin du courant d'émetteur I_E .

On peut exprimer le courant de collecteur selon : $I_C = \alpha I_E + I_{SBC}$ avec :

- $\alpha < 1$: coefficient de transfert en courant
- I_{SBC} courant inverse de saturation de la jonction $B-C$.

Sachant que le transistor est un noeud de courant, la relation $I_E = I_B + I_C$ qui conduit à :

$$I_C = \frac{I_B}{1 - \beta} + \frac{I_{S BC}}{1 - \beta}$$

$$I_C = I_B + I_{CE0}$$

Pour la plupart des transistors : le gain en courant β (ou H_{fe}) est compris entre 50 et 500, alors que le courant de fuite de collecteur I_{CE0} est en général négligeable à température ambiante.

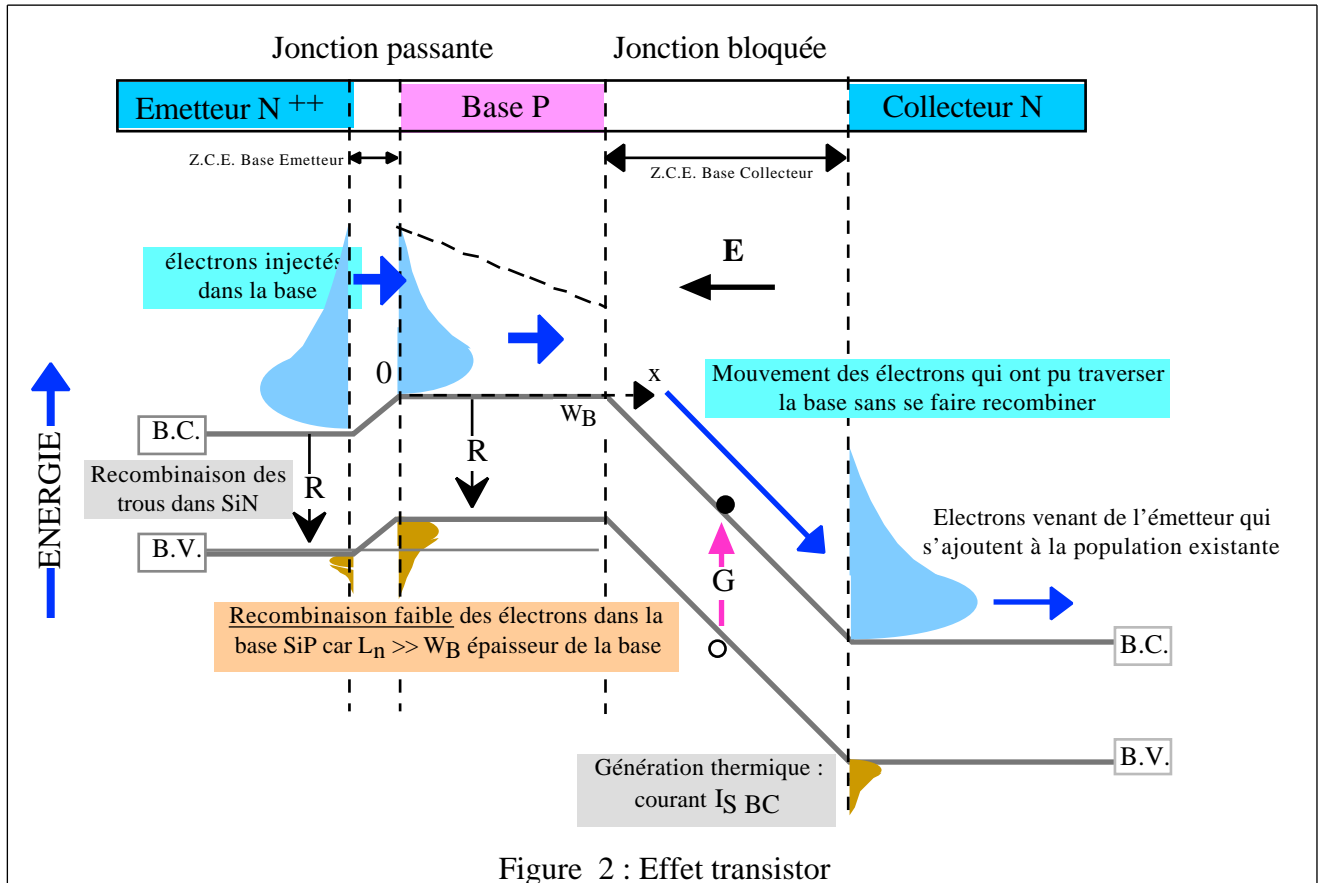


Figure 2 : Effet transistor

CONCEPTION DES CIRCUITS INTEGRES MONOLITHIQUES

L'avènement des circuits intégrés monolithiques, circuits dont tous les éléments sont réalisés simultanément sur la même pastille de silicium, a profondément modifié les méthodes de conception et de réalisation des ensembles électroniques en ouvrant des perspectives nouvelles dans le domaine de la performance, de la miniaturisation, de la fiabilité et du prix de revient.

Les concepteurs chargés de la création des circuits sont amenés à raisonner directement "en circuits intégrés" plutôt qu'en circuits destinés à une réalisation en éléments "discrets". En effet, il n'est pas possible de tout intégrer et cette intégration conduit à certaines limitations sur les caractéristiques des composants élémentaires. D'un autre côté, l'intégration monolithique permet de concevoir certains montages qu'il serait impossible de réaliser en version discrète.

1) ELABORATION D'UN SUBSTRAT DE SILICIUM

1.1) PREPARATION DU SILICIUM - OBTENTION DE LA PLAQUETTE "SUBSTRAT"

Le silicium est un élément ayant un aspect métallique gris clair. Il se trouve en abondance dans la nature sous forme de silice (sable) et de divers mélanges.

Les deux principaux problèmes à résoudre pour la préparation du silicium en vue de la fabrication de circuits intégrés (ou de composants discrets) sont :

- taux de pureté très élevé
- Obtention du *silicium monocristal* c'est à dire se présentant sous la forme d'un cristal homogène à orientation moléculaire parfaitement définie.

La purification du silicium se fait en plusieurs étapes. On réduit d'abord la silice par chauffage avec du carbone (coke) dans un four électrique, le degré de pureté atteint est de 98%. Le silicium ainsi obtenu est ensuite transformé en un corps composé, le tétrachlorure de silicium qui sera purifié et réduit de manière à obtenir du *silicium polycristallin* très pur ayant un taux d'impuretés d'environ 10^{-10} .

Il reste à mettre le silicium polycristallin sous forme de *monocristal* en utilisant la technique du "tirage" (fig. 1).

Le silicium polycristallin est fondu dans un creuset de quartz chauffé par induction, la température étant maintenue constante juste au-dessus du point de fusion du silicium. Un germe de silicium monocristallin à une température inférieure est disposé à la surface du silicium polycristallin fondu qu'il refroidit localement ce qui entraîne la solidification de la zone à proximité immédiate du germe.

Ce processus est assez progressif pour que les atomes qui se solidifient prennent l'orientation des atomes du germe. Le silicium monocristallin qui se forme alors est tourné lentement (1 tour/seconde) et soulevé avec une vitesse de 2.5 cm/heure afin d'augmenter son volume.

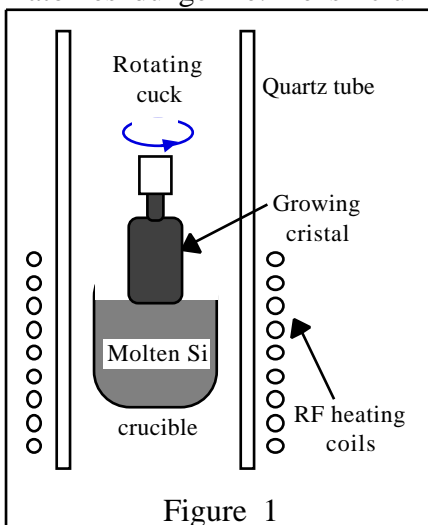


Figure 1

Après tirage, le cristal de silicium ou "carotte" a une forme cylindrique de 50 à 100 mm de diamètre et une longueur de 30 cm. Le dopant qui détermine si le silicium est de type N ou P est ajouté durant la procédure de tirage.

Pour la fabrication des circuits intégrés, on utilise des plaquettes fines de silicium en général dopé P ayant une épaisseur de 0.6 mm. Aussi, la carotte est découpée en tranches par une fine roue diamantée tournant à vitesse élevée. Les plaquettes sont ensuite polies mécaniquement et chimiquement. Un grand nombre de circuits identiques seront fabriqués sur ces plaquettes en utilisant le procédé de la diffusion solide d'impuretés dans des zones aménagées par l'intermédiaire de la technique de photo-lithographie.

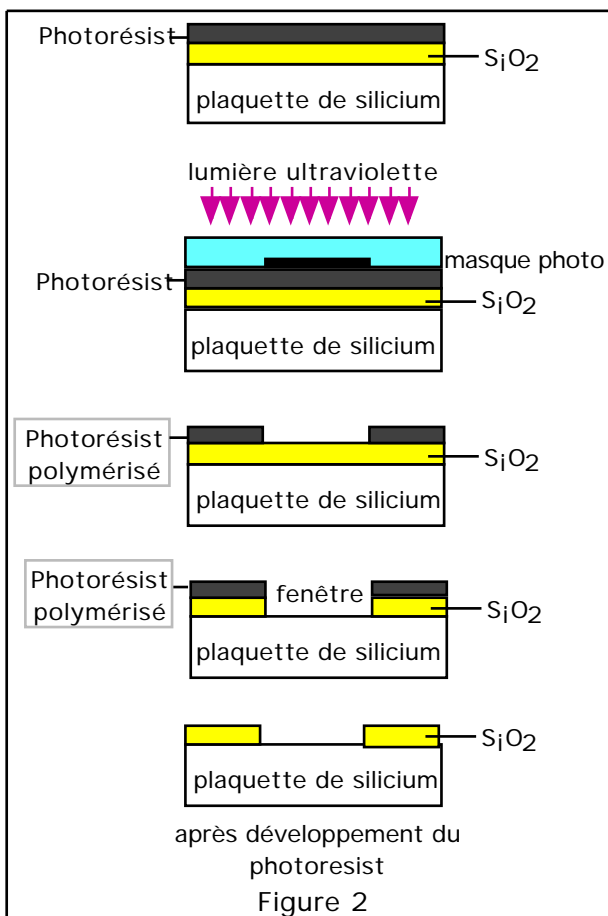
1.2) PHOTOLITHOGRAPHIE DE L'OXYDE DE SILICIUM (figure 2)

Il est important de remarquer que la formation d'une couche d'oxyde de silicium (SiO_2) à la surface de la plaquette de silicium empêche la diffusion dans le volume des dopants habituels : le bore, le phosphore ou l'arsenic. Cette couche de SiO_2 peut s'éliminer localement par attaque chimique à l'acide hydrofluorique qui est par ailleurs sans action sur le silicium.

Dans ces conditions, si on oxyde la plaquette de silicium (à $T=1100^\circ\text{C}$ dans un courant d'oxygène ou de vapeur d'eau), et si on enlève ensuite cet oxyde à certains endroits, il est alors possible de faire diffuser les impuretés exclusivement dans ces zones nommées "fenêtres".

Cette élimination locale (figure 2) de l'oxyde de silicium se fait par l'intermédiaire :

- d'une couche de photoresist qui est une substance organique qui, polymérisée sous l'action d'un rayonnement ultra violet, résiste alors aux acides et solvants
- D'un masque photographique qui sélectionne les zones où la couche de photoresist ne subissant pas le rayonnement ultraviolet, peut être éliminée.



La surface de la plaquette de silicium est préalablement oxydée et recouverte d'une couche de photoresist.

On place ensuite un masque photographique dont les régions opaques du masque correspondent aux endroits où l'on désire attaquer ensuite l'oxyde de silicium.

La plaquette est ensuite illuminée aux ultra violets.

Après développement du photoresist, les régions opaques du masque, non polymérisées, sont éliminées.

L'ensemble est immergé dans un bain d'acide hydrofluorique qui attaque localement le SiO_2 non protégé et forme alors une fenêtre destinée à recevoir la diffusion d'un dopant.

La couche restante de photoresist est ensuite éliminée.

2) REALISATION DES TRANSISTORS NPN INTEGRES

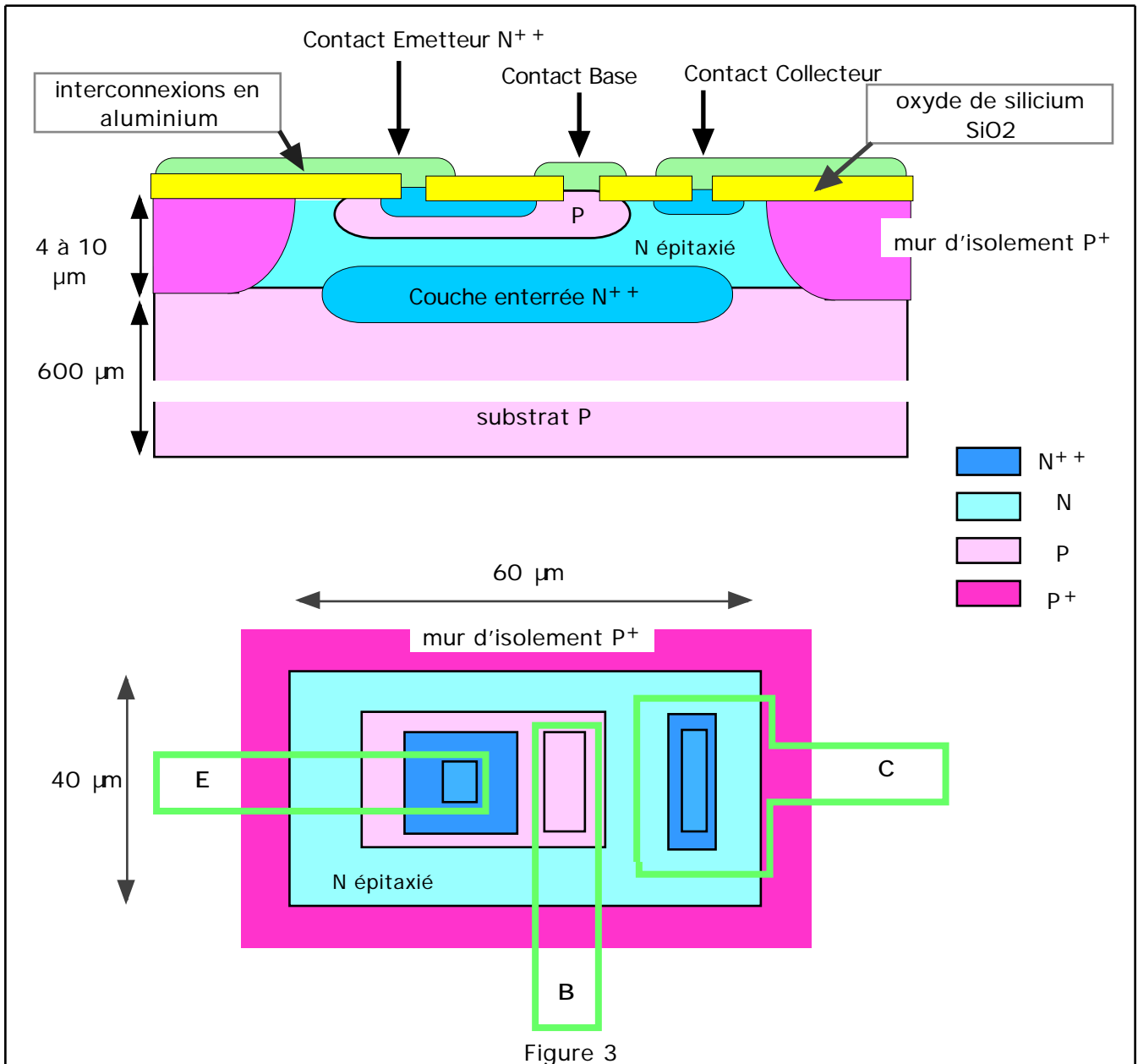


Figure 3

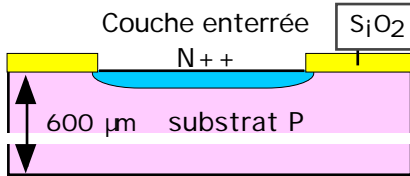
La figure 3 représente la coupe et la vue de dessus d'un transistor NPN intégré qui nécessite l'utilisation de 6 masques de réalisation.

Le processus de base de réalisation des circuits intégrés monolithiques fait appel aux techniques de masquage par oxyde et de diffusions localisées d'impuretés dans un substrat de silicium monocristallin.

Les différents composants construits à la surface du substrat se trouvent dans des "caissons", isolés électriquement, construits dans la couche de silicium épitaxiée (voir plus loin).

2.1) PREMIER MASQUE : REALISATION DE LA "COUCHE ENTERREE"

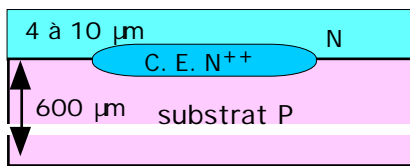
Le substrat de silicium P est tout d'abord oxydé et une fenêtre est aménagée pour permettre la diffusion de la couche enterrée très dopée N⁺⁺ (dopant antimoine) de résistance faible.



En effet, le transistor intégré ne diffère notablement du transistor discret que sur un point : le contact de collecteur s'effectue sur la partie supérieure de circuit (fig. 3). Sans la présence de la couche enterrée, la résistance série de collecteur serait trop importante.

2.2) CREATION D'UNE COUCHE "EPITAXIALE" DE SILICIUM

On doit former à la surface de la plaquette de silicium ("substrat" dopé P), un film mince de silicium monocristallin, où seront construits les composants actifs (diodes, transistors bipolaires, JFET ou MOS) et passifs (résistances et condensateurs).

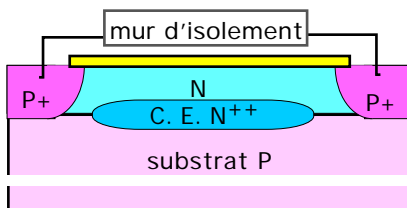


On utilise pour cela le procédé de *croissance épitaxiale* qui permet de réaliser une couche de silicium monocristallin de quelques microns d'épaisseur (4 à 10 µm).

On réalise la croissance épitaxiale du silicium à 1200°C dans une atmosphère d'hydrogène et de SiH₄ qui se décompose sous forme de silicium se déposant sur la plaquette avec une vitesse de croissance de l'ordre de 1 µm par minute : $SiH_4 \rightarrow Si + 2H_2$

Durant le processus, en ajoutant du PCl₃, on obtient finalement une couche mince de silicium N dopé au phosphore qui formera la zone de collecteur du transistor NPN : $2PCl_3 + 3H_2 \rightarrow 2P + 6HCl$

2.3) 2°MASQUE : MUR D'ISOLEMENT



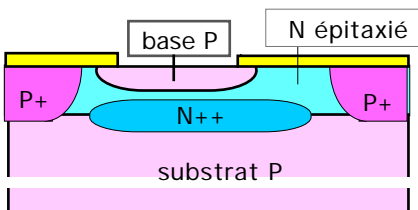
Après croissance de la couche épitaxiale de type N, celle-ci est entièrement oxydée puis, l'oxyde est enlevé sélectivement à l'aide du masque n°2. On effectue alors la diffusion locale du mur d'isolement P⁺.

La construction du mur d'isolement se fait en deux étapes :

- Prédépôt du bore (1200°C avec B₂O₃ dopant P) à la surface du dispositif.
- Diffusion en profondeur de manière à changer le dopage de la couche épitaxiale originellement de type N. Cette diffusion est contrôlée en temps et température (1000°C) pour permettre au mur de rejoindre le substrat P.

2.4) 3°MASQUE : DIFFUSION DE LA BASE P

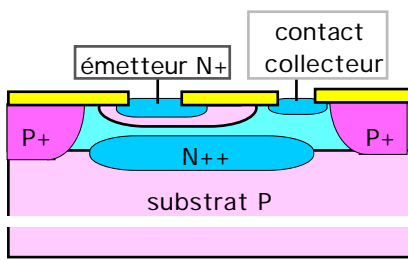
La plaquette est entièrement réoxydée et le bore est à nouveau utilisé pour construire la base du transistor dans une fenêtre aménagée au droit de la zone choisie.



La diffusion du bore est à nouveau contrôlée de manière à assurer une épaisseur de l'ordre de 2 à 3 µm et surtout en prenant soin de ne pas atteindre la couche enterrée N⁺⁺ ce qui détruirait localement la zone N épitaxiale constituant le collecteur du transistor.

On remarque que la diffusion des atomes d'impuretés se fait en profondeur mais aussi latéralement (80%). Il y aura donc lors de la conception des masques, des gardes à respecter pour éviter que des régions de même nature se rejoignent.

2.5) 4° MASQUE : DIFFUSION DE L'EMETTEUR N⁺⁺



La plaquette est ensuite préparée pour l'étape de diffusion de l'émetteur du transistor ainsi que l'aménagement de la prise de contact du collecteur.

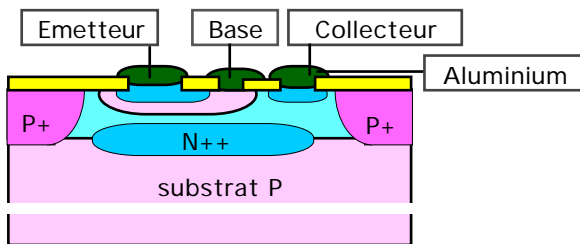
En effet, on viendra prendre le contact de collecteur à l'aide de l'aluminium qui est un dopant P (3° colonne de la classification périodique).

Pour éviter d'effectuer alors une diode PN avec la couche épitaxiée N, il faut diffuser une zone très dopée N⁺⁺ afin d'assu-

rer un bon contact ohmique.

La profondeur de diffusion d'émetteur est d'environ 1.5 μm qui conduit à une épaisseur efficace de base de 1 μm .

2.6) 5° ET 6° MASQUES : OUVERTURE DES CONTACTS ET INTERCONNEXIONS



Après réoxydation de la plaquette, le 5° masque permet d'aménager des fenêtres sur les zones qui doivent être interconnectées.

On évapore donc l'aluminium sur toute la plaquette et on utilise à nouveau la technique de masquage mais dans une séquence négative puisque le but est d'enlever l'aluminium en tout point à l'exception des zones de contact.

Enfin la plaquette est recouverte d'une couche de passivation (SiO_2 et ou Si_3N_4) qui la protégera d'une éventuelle pollution du milieu extérieur. Les plots de sorties où seront soudés des fils de connections vers les pattes du circuit intégré sont évidemment masqués lors de cette dernière opération.

2.7) ISOLEMENT ELECTRIQUE INTER- COMPOSANTS

Considérons deux transistors T_1 et T_2 adjacents sur la puce (figure 4). Ils sont électriquement isolés l'un de l'autre. En effet chaque caisson N épitaxié de collecteur (C_1 et C_2) est entouré d'un mur d'isolement en silicium P⁺, de même nature que le substrat P.

Si le substrat est relié au potentiel le plus négatif du circuit, les diodes D_{C1S} et D_{C2S} sont polarisées en inverse (circuit ouvert). Les collecteurs C_1 et C_2 de T_1 et T_2 sont donc isolés.

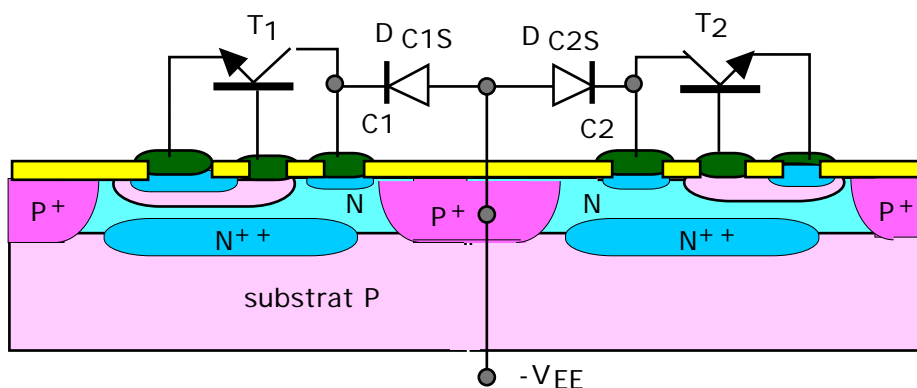


Figure 4

3) REALISATION DE DIVERS COMPOSANTS

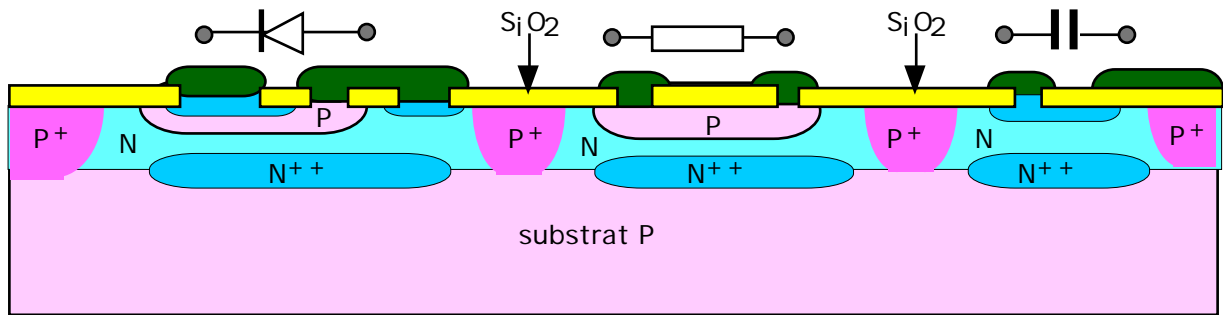


Figure 5

L'exposé précédent présentait en détail le processus de fabrication d'un transistor NPN. Durant les mêmes étapes du processus, en jouant avec la topographie des différents masques, il est possible de réaliser simultanément un certain nombre de composants présentés en figure 5 :

- Une diode (transistor NPN muni d'un court-circuit base-collecteur)
- Une résistance qui exploite la résistivité de la diffusion de la base d'un transistor NPN
- Une capacité dont les armatures sont constituées par l'aluminium et la diffusion de type émetteur et le diélectrique par la couche de SiO_2 .

Cette liste n'est pas limitative et les dispositifs suivants sont intégrables :

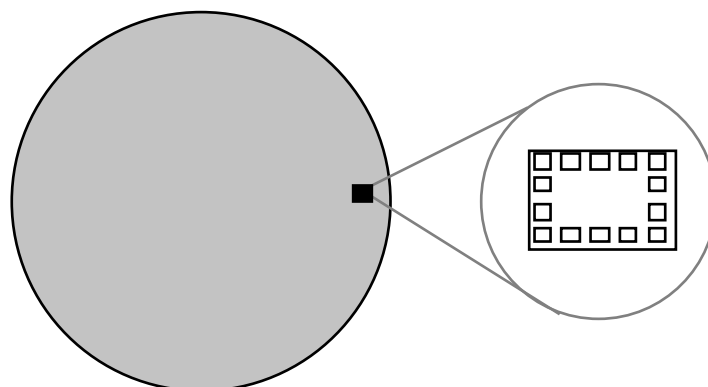
- Diode Schottky (contact métal semi-conducteur)
- Transistors PNP
- JFET et MOSFET

4) VERIFICATION DE LA PLAQUETTE-DECOUPAGE ET ASSEMBLAGE

Tous les circuits intégrés de la plaquette sont vérifiés sur un banc de test automatique à l'aide de sondes placées sur les plots de chaque circuit. Tout circuit hors caractéristiques est automatiquement marqué et se trouvera éliminé après découpage de la plaquette en puces individuelles.

Pour extraire les puces de la plaquette, on utilise un appareil muni d'une pointe de diamant très fine qui se déplace en x y selon un chemin de découpe. La plaquette est ensuite placée sur un support souple dont la déformation entraîne une cassure le long des rayures du chemin de découpe.

Ayant choisi un type de boîtier (flat pack, dual in line, TO5...), on positionne la puce qui est soudée du côté substrat par frittage à basse température. Il est alors possible de réaliser, à l'aide d'une machine à souder automatique, les connexions électriques avec un fil d'or de $25 \mu\text{m}$ de diamètre entre les bornes de sortie et les plots aménagés sur le pourtour de la puce.



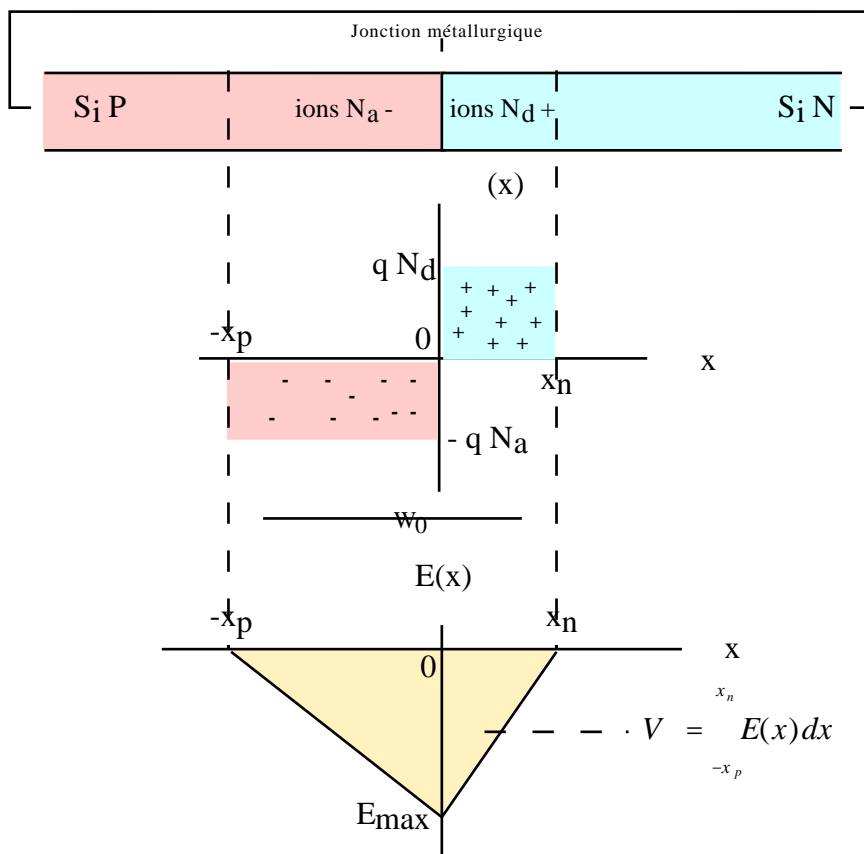
ANNEXES

CARACTERISTIQUES DU SILICIUM PUR	VALEUR
Nombre atomique	14
Masse atomique (g par mole)	28.1
Densité (g/cm ³)	2.33
Nombre d'atomes par cm ³	5.0 10 ²²
Hauteur de bande interdite (eV) à 300 K	1.12
Résistivité (.cm) à 300 K	2.3 10 ³
Constante diélectrique ϵ_{si}	11.9

JONCTION ABRUPTE EN COURT-CIRCUIT

1) CALCUL DE L'ETENDUE w_0 DE LA ZONE DE CHARGE D'ESPACE

La figure suivante représente les charges ioniques (x) présentes de part et d'autre de la jonction métallurgique d'une diode PN en court-circuit ainsi que le champ électrique $E(x)$ qui en découle. Les ions négatifs N_a et les ions positifs N_d s'étendent sur les distances respectives $-x_p$ et x_n de part et d'autre de la jonction métallurgique.



a) Dans la zone de charge d'espace, le bilan des charges ioniques doit être nul soit : $x_p N_a = x_n N_d$ aussi, la zone de charge d'espace s'étend du côté le moins dopé ($N_a \ll N_d$ sur la figure).

b) Détermination du champ électrique E(x) à l'aide de l'équation de Poisson :

$$\frac{d^2 V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_0 \epsilon_{si}} \quad \text{sachant que : } E = -\frac{dV(x)}{dx} \quad \text{il vient : } \frac{dE(x)}{dx} = \frac{\rho(x)}{\epsilon_0 \epsilon_{si}}$$

Côté P : $E(x) = -\frac{qN}{\epsilon_0 \epsilon_{si}} x + Cte$ avec : $E(-x_p) = 0$ \forall $E(x) = -\frac{qN}{\epsilon_0 \epsilon_{si}} (x + x_p)$

Par analogie, du côté N, le champ électrique est tel que : $E(x) = -\frac{qN}{\epsilon_0 \epsilon_{si}} (x - x_n)$

On en déduit le champ E_{max} en $x=0$:

$$E_{max} = -\frac{qN}{\epsilon_0 \epsilon_{si0}} x_p = \frac{qN}{\epsilon_0 \epsilon_{si0}} x_n \quad (1)$$

c) Calcul de l'étendue de la zone de charge d'espace $W_0 = x_p + x_n$

En utilisant les relations (1), on exprime l'étendue W_0 de la Z.C.E.

$$W_0 = x_n + x_p = \frac{\epsilon_0 \epsilon_{si}}{q} E_{max} \left(\frac{1}{N_a} + \frac{1}{N_d} \right)$$

En introduisant le potentiel de diffusion V qui correspond à l'aire du triangle formé par E(x) soit :

$$V_{\Phi} = - \int_{-x_p}^{x_n} E(x) dx \quad \forall V_{\Phi} = \frac{1}{2} E_{max} (x_n + x_p) = \frac{1}{2} E_{max} W_0$$

On en déduit :

$$W_0 = \sqrt{2 \frac{\epsilon_0 \epsilon_{si}}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) V}$$

2) CALCUL DU POTENTIEL DE DIFFUSION V_{Φ}

Pour calculer le potentiel de diffusion V , il faut exploiter l'équilibre qui s'établit entre le courant de conduction dont est responsable le champ électrique E(x) dans la Z.C.E. et le courant de diffusion des porteurs entre les zones N et P. Cet équilibre se traduit pour les trous par la relation densité de courant nulle soit : $J_p = 0$.

$$J_p = q p \mu_p E(x) - q D_p \frac{dp(x)}{dx} = 0$$

$$E(x) = \frac{D_p}{\mu_p} \frac{1}{p} \frac{dp(x)}{dx} \quad \text{sachant que : } \frac{D_p}{\mu_p} = U_T \quad \text{il vient : } E(x) = \frac{U_T}{p} \frac{dp(x)}{dx}$$

Sachant que : $V_{\Phi} = - \int_{-x_p}^{x_n} E(x) dx$

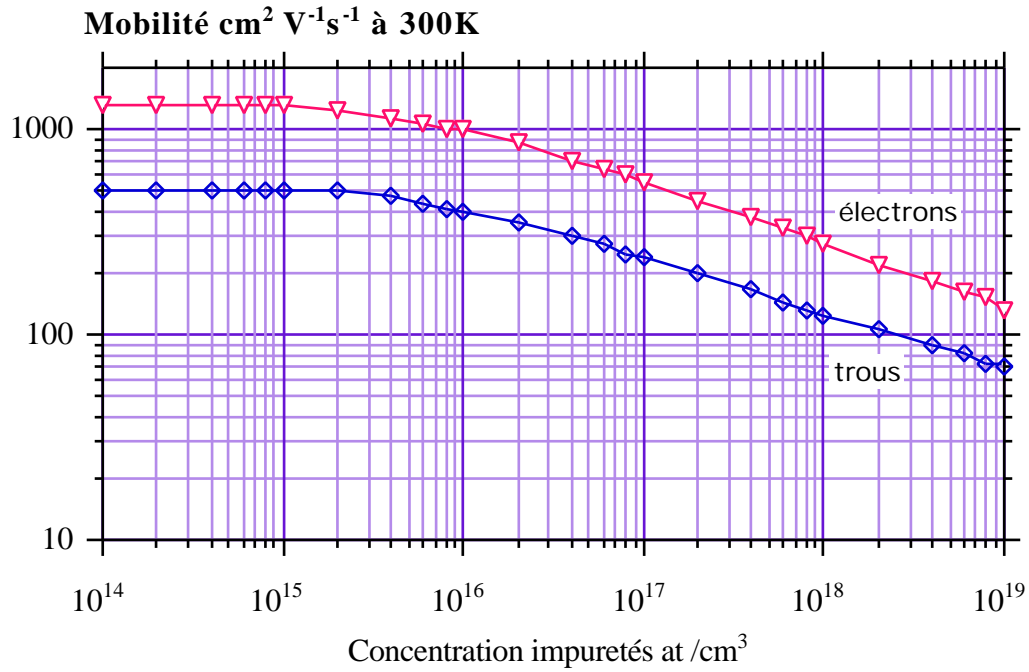
il vient :

$$V = -U_T \int_{-x_p}^{x_n} \frac{dp}{p} = U_T \ln \left(\frac{\text{Concentration trous dans P}}{\text{Concentration trous dans N}} \right) = U_T \ln \left(\frac{N_a}{n_i^2} \frac{N_d}{N_d} \right)$$

soit :

$$V_{\Phi} = U_T \ln \left(\frac{N_a N_d}{n_i^2} \right)$$

Evolution de la mobilité des porteurs dans le silicium en fonction de la concentration en atomes d'impuretés à 300 °K



Influence de la température sur la mobilité des porteurs dans le silicium

Evolution de la mobilité dans le silicium en fonction de la température et du dopage :

